

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-69405

(43)公開日 平成8年(1996)3月12日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 12/00	5 3 3 J	7623-5B		
12/08	Y	7623-5B		
15/16	3 7 0 M			

審査請求 有 請求項の数3 OL (全 11 頁)

(21)出願番号 特願平6-204775

(22)出願日 平成6年(1994)8月30日

(71)出願人 000232092

日本電気ソフトウェア株式会社
東京都江東区新木場一丁目18番6号

(72)発明者 安達 清弘

東京都江東区新木場一丁目18番6号 日本
電気ソフトウェア株式会社内

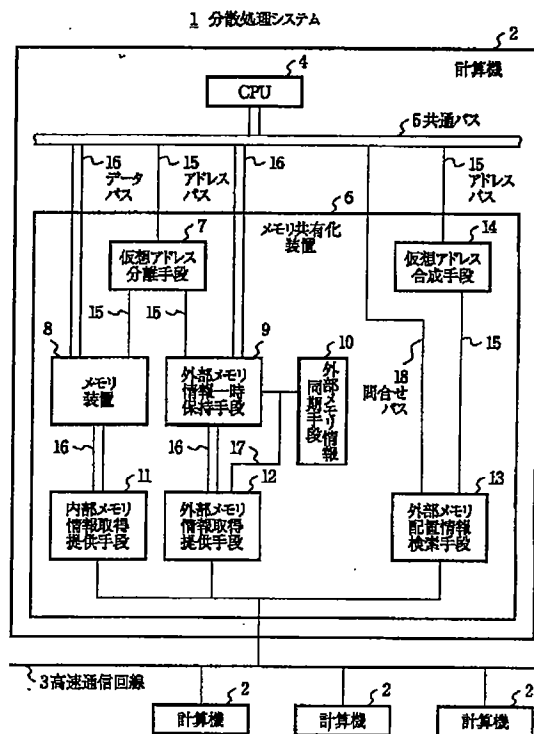
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 分散処理システムのメモリ共有化装置

(57)【要約】

【目的】分散処理システムのメモリ装置を共有化し、かつ通信回線を意識しないでメモリ装置に相互アクセスし、かつアクセス頻度および高速通信回線のトラヒックを増大させない分散処理システムのメモリ共有化装置の提供。

【構成】複数の計算機2が高速通信回線3に接続され、各計算機2それぞれにはプロセッサであるCPU4と、その共通バス5と、計算機2が他の計算機のメモリ装置を共有化し、高速通信回線3を通じてアクセスするメモリ共有化装置6とを備える。また、メモリ共有化装置6は、仮想アドレスから計算機識別子とメモリアドレスを分離する仮想アドレス分離手段7と、CPU4自身のメモリ装置8と、他の計算機2のメモリ装置からメモリ情報を得て一時保持する外部メモリ情報一時保持手段9と、を含む。



【特許請求の範囲】

【請求項 1】 高速通信回線に接続される複数の計算機それぞれがメモリ装置を含むメモリ共有化装置を備え、前記計算機が自身のメモリ共有化装置を通じて自身あるいは他の計算機の前記メモリ装置のメモリ情報を相互に参照更新する分散処理システムにあって、

前記メモリ共有化装置は、

前記計算機が、自身あるいは他の計算機のメモリ装置にアクセスするとき、キー情報によって検索される計算機識別子とメモリアドレスを、自身で保持するかあるいは他の計算機に問合せ取得するかをいずれかを行う外部メモリ配置情報検索手段と、

前記外部メモリ配置情報検索手段から得られる前記計算機識別子とメモリアドレスに基づいて、前記計算機自身の仮想アドレスを合成する仮想アドレス合成手段と、

前記計算機が仮想アドレスでもってメモリ装置にアクセスするとき、前記仮想アドレスから計算機を指す計算機識別子とメモリ装置内のアドレスを指すメモリアドレスとを分離し、前記計算機識別子によって、自身のメモリ装置を指しているか、あるいは他の計算機を指しているかを判別する仮想アドレス分離手段と、

前記計算機が他の計算機のメモリ装置にアクセスして取得するメモリ情報およびそれに付加する制御情報を含むキャッシュラインを格納する領域からなるキャッシュと、前記キャッシュラインの制御情報を操作するキャッシュライン操作手段とを有する外部メモリ情報一時保持手段と、

前記計算機の仮想アドレスから分離される計算機識別子とメモリアドレスが他の計算機のメモリ情報を指し、かつ前記メモリ情報が前記外部メモリ情報一時保持手段に格納されていないとき、前記計算機識別子とメモリアドレスが指すメモリ情報を他の計算機のメモリ装置から取得して前記外部メモリ情報一時保持手段に格納し、あるいは前記外部メモリ情報一時保持手段に格納されているメモリ情報がその制御情報によって指定される他の計算機のメモリ装置に書き戻されるとき、前記メモリ情報を前記外部メモリ情報一時保持手段から読み出し、前記他の計算機のメモリ装置に送付する外部メモリ情報取得提供手段と、

前記計算機自身のメモリ装置に他の計算機からアクセスがあるとき、前記アクセスで指定される計算機識別子とメモリアドレスが指すメモリ情報をアクセス元の前記他の計算機に提供し、あるいは前記他の計算機からメモリ情報の書き戻しがあるとき、前記メモリ情報を自身のメモリ装置に取得する内部メモリ情報取得提供手段と、前記キャッシュラインに含まれるメモリ情報と制御情報に対し、前記メモリ情報の無効および削除可能を示す指標と前記メモリ情報の書き戻し指示とを更新する外部メモリ情報同期手段と、

を備えることを特徴とする分散処理システムのメモリ共

有化装置。

【請求項 2】 前記キャッシュラインは、他の計算機のメモリ装置にアクセスして取得したメモリ情報、ならびに前記メモリ情報が書き戻されるか否かを示すラインモードフラグと前記メモリ情報自体に対する参照あるいは更新されない度合を示す参照カウンタと前記メモリ情報が格納されていた計算機の計算機識別子とメモリアドレスと前記メモリ情報が格納されてからの経過時間を示す寿命カウンタとからなる制御情報を含むことを特徴とする請求項 1 記載の分散処理システムのメモリ共有化装置。

【請求項 3】 前記外部メモリ情報同期保持手段は、前記計算機から前記仮想アドレス分離手段を通じて参照あるいは更新されるキャッシュラインに対し、前記キャッシュラインの領域数から 1 を減じた数値を初期値として参照カウンタに参照あるいは更新の度に設定し、かつ前記参照あるいは更新されたキャッシュライン以外の他の全キャッシュラインの参照カウンタに対して、その値を 1 ずつ減算し、前記参照カウンタの値が「0」になるとき、前記キャッシュラインのメモリ情報を削除可能にする参照カウンタ制御手段と、

キャッシュラインにメモリ情報が格納されたとき、その寿命カウンタに初期値を設定し、システムクロックによって一定時間毎に前記初期値を 1 ずつ減算して寿命カウンタの値が「0」になるとき、前記キャッシュラインのメモリ情報を無効にする寿命カウンタ制御手段と、を備えることを特徴とする請求項 1 記載の分散処理システムのメモリ共有化装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、高速通信回線に接続されている複数の計算機それぞれが有するメモリ装置の共有化に関し、特に高速通信回線を意識しないで、各メモリ装置のメモリ情報に相互アクセスを可能にし、かつメモリ情報に対する参照更新頻度を軽減するメモリ共有化装置に関する。

【0002】

【従来の技術】 従来、分散処理システムの計算機相互のデータ交換は、通信回線を介して実行される。したがって、計算機自身が有するメモリ装置に対するアクセス方法と、自身以外の計算機のメモリ装置に対するアクセス方法と、ではアクセス方法が異なる。図 11 に例示する従来技術によって説明すると、計算機 121 で動作するサーバプログラム 123 が、計算機 124 からのアクセス要求を受理して、計算機内メモリ 122 のメモリ情報を参照更新する。計算機 124 で動作するプログラム 126 が、計算機 121 のメモリ 122 をアクセス要求するとき、サーバプログラム 123 に対してアクセス要求を高速通信回線 127 を通じて送付し、また自計算機 124 のメモリ 125 に対してはアクセス要求を直接送付

する。つまりプログラム 126 はアクセス対象メモリの所在と通信回線の介在とを意識する必要がある。

【0003】更に、従来技術として、特開平 4-246745 を引用すると、マルチプロセッサシステムにおける各プロセッサの固有メモリとシステム共有メモリとをマッピングする共通メモリ空間を連続したアドレス空間として形成させる。各プロセッサのアクセス要求は各プロセッサの仮想空間に対してなされるが、仮想アドレスが共通メモリ空間のアドレスに変換されるので、相手先の所在を意識しないで、アクセス要求を送付できる。また、相手先は共通メモリ空間のアドレスを自身のアドレス空間に再変換し、固有メモリあるいは共有メモリにアクセスする方式を開示している。

【0004】以上の従来技術において、各計算機が有するメモリ装置あるいは共有メモリ装置にその所在場所を意識してアクセスする方式、あるいはその所在を意識しないでアクセスする方式が提供されている。しかし、どちらの場合も、参照あるいは更新の都度、必ず相手先にアクセスしなければならない。そのため、メモリ装置に対するアクセス頻度あるいは高速通信回線のトラフィックが増大することが避けられない。

【0005】

【発明が解決しようとする課題】分散処理システムには、リアルタイム性が厳格でない問合せシステム、あるいはレポートやニュースの配信システムなどネットワークファイルにアクセスし、利用者がファイルデータを参照更新するシステムがある。これらのネットワークファイルを中心とする分散処理システムにおいて、利用者はネットワークファイルの参照更新都度、ネットワークファイルにアクセスし、最新のファイルデータを入手する必要はない。利用者自身が取得したファイルデータを取得後一定の時間の間、参照更新の対象とし、一定時間の経過後は、ファイルデータを書き戻すか、あるいは無効として、再度ファイルデータを再取得する利用形態を採ることができる。このような利用形態に適合するメモリ共有装置を各計算機に備えることによって、メモリ装置に対するアクセス頻度あるいは高速通信回線のトラフィックの増大を軽減できる。

【0006】

【課題を解決するための手段】この発明の目的は、分散処理システムの各計算機のメモリ装置を共有化して、かつ通信回線を意識しないで相互にメモリ装置にアクセスし、さらにメモリ装置に対するアクセス頻度および高速通信回線に対するトラフィックを増大させない分散処理システムのメモリ共有化装置を提供する。

【0007】このため、この発明の高速通信回線に接続される複数の計算機それぞれがメモリ装置を含むメモリ共有化装置を備え、前記計算機が自身のメモリ共有化装置を通じて自身あるいは他の計算機の前記メモリ装置のメモリ情報を相互に参照更新する分散処理システムにあ

って、前記メモリ共有化装置は、前記計算機が、自身あるいは他の計算機のメモリ装置にアクセスするとき、キー情報によって検索される計算機識別子とメモリアドレスを、自身で保持するかあるいは他の計算機に問合せ取得するかをいずれかを行う外部メモリ配置情報検索手段と、前記外部メモリ配置情報検索手段から得られる前記計算機識別子とメモリアドレスに基づいて、前記計算機自身の仮想アドレスを合成する仮想アドレス合成手段と、前記計算機が仮想アドレスでもってメモリ装置にアクセスするとき、前記仮想アドレスから計算機を指す計算機識別子とメモリ装置内のアドレスを指すメモリアドレスとを分離し、前記計算機識別子によって、自身のメモリ装置を指しているか、あるいは他の計算機を指しているかを判別する仮想アドレス分離手段と、前記計算機が他の計算機のメモリ装置にアクセスして取得するメモリ情報とそれに付加する制御情報とを含むキャッシュラインを格納する領域からなるキャッシュ、ならびに前記キャッシュラインの制御情報を操作するキャッシュライン操作手段を有する外部メモリ情報一時保持手段と、前記計算機の仮想アドレスから分離される計算機識別子とメモリアドレスが他の計算機のメモリ情報を指し、かつ前記メモリ情報が前記外部メモリ情報一時保持手段に格納されていないとき、前記計算機識別子とメモリアドレスが指すメモリ情報を他の計算機のメモリ装置から取得して前記外部メモリ情報一時保持手段に格納し、あるいは前記外部メモリ情報一時保持手段に格納されているメモリ情報がその制御情報によって指定される他の計算機のメモリ装置に書き戻されるとき、前記メモリ情報を前記外部メモリ情報一時保持手段から読み出し、前記他の計算機のメモリ装置に送付する外部メモリ情報取得提供手段と、前記計算機自身のメモリ装置に他の計算機からアクセスがあるとき、前記アクセスで指定される計算機識別子とメモリアドレスが指すメモリ情報をアクセス元の前記他の計算機に提供し、あるいは前記他の計算機からメモリ情報の書き戻しがあるとき、前記メモリ情報を自身のメモリ装置に取得する内部メモリ情報取得提供手段と、前記キャッシュラインに含まれるメモリ情報と制御情報に対し、前記メモリ情報の無効および削除可能を示す指標と前記メモリ情報の書き戻し指示とを更新する外部メモリ情報同期手段と、を備える。

【0008】

【実施例】次に、この発明について図面を参照して説明する。

【0009】この発明の一実施例の構成を示す図 1 を参照すると、分散処理システム 1 は、複数の計算機 2 が高速通信回線 3 に接続し、各計算機 2 それぞれのプロセッサである CPU 4 と、その共通バス 5 と、計算機 2 がそれぞれ有するメモリ装置 8 を共有化するメモリ共有化装置 6 とを備える。

【0010】また、メモリ共有化装置 6 は、共通バス 5

を通じてCPU 4から仮想アドレスを受理し、仮想アドレスから計算機識別子とメモリアドレスを分離する仮想アドレス分離手段7と、計算機2自身のメモリ装置8と、他の計算機2のメモリ装置8からメモリ情報を得て一時保持する外部メモリ情報一時保持手段9と、一時保持するメモリ情報の削除可能化および無効化、ならびに書き戻しを制御する外部メモリ情報同期手段10と、他の計算機2からのアクセスに対してメモリ装置8のメモリ情報を提供あるいは取得する内部メモリ情報取得提供手段11と、仮想アドレスが他の計算機2のメモリ装置8のメモリ情報を指すとき、他の計算機2からメモリ情報を取得し、あるいは外部メモリ情報一時保持手段10のメモリ情報を書き戻すとき、該メモリ情報を送付する外部メモリ情報取得提供手段12と、キー情報によって計算機識別子とメモリアドレスを他の計算機2に問合せるか、あるいは自身で保持する外部メモリ配置情報検索手段13と、キー情報で示される計算機識別子とメモリアドレスとに基づいて仮想アドレスを合成する仮想アドレス合成手段14と、上述の各手段を接続し、データおよび制御信号を送受するアドレスバス15と、データバス16と制御バス17とを含む。

【0011】更に外部メモリ情報一時保持手段9には、他の計算機2から取得したメモリ情報に制御情報を付加してなるキャッシュライン211乃至21Nを格納するキャッシュ21ならびにキャッシュ21と外部メモリ同期制御手段10と仮想アドレス分離手段7と外部メモリ情報取得提供手段12とのデータ授受を受け持つキャッシュライン操作手段22と、を含む。

【0012】更に、外部メモリ情報同期制御手段9には、キャッシュライン21Kに設定されたメモリ情報が最後に参照更新されたときから以後の経過を示す参照カウンタを減算する参照カウンタ制御手段23と、メモリ情報が設定されたときからの経過時間を示す寿命カウンタ35を減算する寿命カウンタ手段24と、経時信号を発生するシステムクロック25と、を備える。

【0013】次に、外部メモリ情報一時保持手段9のキャッシュ21に格納されるキャッシュライン211乃至21Nの項目構成を示す図3を参照すると、キャッシュライン21Kには、メモリ情報を書き戻すとき、「書き込み」のフラグを、書き戻さないとき、「読み出し」のフラグをそれぞれ設定するラインモードフラグ31と、メモリ情報が最初に設定されたときあるいはCPU 4から参照更新を受けたとき、キャッシュラインの格納領域数から1を減じた初期値を設定し、また他のキャッシュラインに対してアクセスがある度に1ずつ減ぜられる参照カウンタ32と、メモリ情報が格納されていた場所を示す計算機識別子33およびメモリアドレス34と、メモリ情報を取得したとき、規定の初期値が設定され、経過時間に応じて初期値がシステムクロック25の経時信号によって減算される寿命カウンタ35と、計算機識別

子33とメモリアドレス34が指すメモリ情報36と、を含む。

【0014】この実施例における各メモリ装置8が形成する計算機内アドレス空間と、各計算機2がメモリ装置8にアクセスする仮想アドレス空間との対応を説明する図7を参照すると、複数の計算機2の各メモリ装置8が計算機内メモリアドレス空間72を形成する。各計算機2は、それぞれのメモリ装置8が形成する計算機内メモリアドレス空間72の部分空間73, 74, 75に対応し、仮想アドレス空間71の部分空間76, 77, 78を自身の仮想アドレス空間としてもつ。そして仮想アドレス空間76, 77, 78が重複しないように並べられた全体空間が、複数の計算機全体で共有される仮想アドレス空間71に相当する。

【0015】計算機2は計算機内アドレス空間73, 74, 75にアクセスするとき、アクセス対象の計算機識別子とメモリアドレスをキー情報によって取得する。キー情報に対応する計算機識別子とメモリアドレスの検索変換を説明する図8および図9を参照すると、先ず計算機2がアクセス対象の計算機識別子とメモリアドレスをキー情報「foo」によって外部メモリ配置情報検索手段13に問合せ。図8に例示するキー情報「foo」81に対応する計算機識別子「85CB40A0」811と、メモリアドレス「78000000」812が外部メモリ配置情報検索手段13から取得される。得られた計算機識別子811とメモリアドレス812が、仮想アドレス空間の重複しない部分空間76, 77, 78を指す仮想アドレスに仮想アドレス合成手段14によって変換され、CPU 4に通知される。この実施例における変換の方法は計算機識別子を仮想アドレスの上位に、メモリアドレスを仮想アドレスの下位に連結して、仮想アドレスを合成する。

【0016】仮想アドレス合成手段14は、外部メモリ配置情報検索手段13によって、キー情報「foo」81に対応する計算機識別子「85CB40A0」811とメモリアドレス「78000000」812をキー情報変換テーブル80から取得し、仮想アドレス「85CB40A078000000」を合成し、CPU 4に送付する。更にCPU 4のプログラムaが、仮想アドレス合成手段14から通知された仮想アドレスによってメモリ装置8へのアクセスを説明する図9を参照すると、計算機2のCPU 4が仮想アドレス「85CB40A078000000」にアクセスするとき、先ず該アドレスが仮想アドレス分離手段7によって、計算機識別子とメモリ装置のアドレスに分離する。該分離の仕方は上述の合成の仕方の逆を行う。仮想アドレスの上位から計算機識別子「85CB40A0」921と、下位からメモリアドレス「78000000」922とが得られる。得られた計算機識別子は、「85CB40A0」921で、CPU 4自身の計算機識別子「85CB4080」

911と異なるので、自身のメモリ装置8にアクセスするのでなく、外部メモリ情報一時保持手段9にアクセスし、計算機識別子「85CB40A0」921とメモリアドレス「78000000」922とに対応するメモリ情報を検索する。CPU4の外部メモリ情報一時保持手段9に対するアクセスと検索を説明する図10(a)を参照すると、外部メモリ情報一時保持手段9が、キャッシュ21を検索し、計算機識別子「85CB40A0」921と、メモリアドレス「78000000」922に対応するキャッシュライン21Kを見出す。キャッシュライン21Kの寿命カウンタ35Kが「0」であるので、メモリ情報「XX~XX」36Kは無効であることが示されている。外部メモリ情報一時保持手段9のキャッシュライン操作手段22は、外部メモリ情報取得提供手段12に対して該メモリ情報を再取得させる。外部メモリ情報取得提供手段12は、計算機識別子「85CB40A0」の計算機2にアクセスし、そのメモリ装置8のメモリアドレス「78000000」のメモリ情報「YY~YY」を取得する。図10(b)を参照すると、メモリ情報「YY~YY」がキャッシュライン21Kのメモリ情報36Kに、寿命カウンタ35が初期値「10」35Kに設定され、計算機識別子33Kおよびメモリアドレス34Kは変更されず、参照カウンタ32Kが初期値「N-1」に、ラインモードフラグ31Kは、参照を指定する「読み込み」31Kに、キャッシュ操作手段22によって、それぞれ設定される。更に、図10(c)を参照すると、CPU4が、図10(b)のメモリ情報「YY~YY」36Kをメモリ情報「ZZ~ZZ」36Kに更新すると、更新されたメモリ情報36Kを元の格納場所へ書き戻すため、ラインモードフラグ31Kを図10(b)の「読み込み」31Kから図10(c)の「書き込み」31Kに変更する。また、図10(b)の寿命カウンタ35Kの値「10」は、経過時間の値「L」によって図10(c)の寿命カウンタ35Kの値「10-L」に減算される。更にまた、CPU4が外部メモリ一時保持手段9にアクセスしたとき、寿命カウンタ35Kが「0」でないとき、メモリ情報「XX~XX」36Kは無効でないので、CPU4はメモリ情報「XX~XX」36Kを取得できる。そして、外部メモリ情報同期制御手段10が、参照カウンタ32Kを初期値「N-1」に再設定し、他の参照カウンタの値を1ずつ減算する。また、CPU4が外部メモリ一時保持手段9にアクセスしたとき、参照カウンタ32Kが「0」であるとき、メモリ情報36Kは参照更新されてから最も古いメモリ情報として、削除可能対象となる。

【0017】次に、外部メモリ情報同期手段10の参照カウンタ制御手段23の動作は、メモリ情報36に参照あるいは更新がある度、キャッシュ21の領域数Nから1を減じたN-1を初期値として参照カウンタ32に設定する。また、他のキャッシュラインのメモリ情報が参

照される度に、参照カウンタ32の値を減算し、参照カウンタ32の値によって、メモリ情報の参照更新されたときからの経過が示され、参照カウンタ32の値「0」はキャッシュラインN個のうち最も以前に参照更新されたことを示している。また寿命カウンタ制御手段24の動作は、システムクロックの一定時間毎に寿命カウンタ35の値を減算し、メモリ情報36の取得後の有効期間内にあることを示し、寿命カウンタ35の値「0」はメモリ情報36が有効期間を過ぎて無効になっていることを示す。

【0018】次に、この実施例の動作を、外部メモリ情報を取得する動作の流れ図4と、外部メモリ情報を更新する動作の流れ図5と、寿命カウンタを減算する動作の流れ図6とを参照し、図10(a)、図10(b)、図10(c)を援用して説明する。

【0019】まず、メモリ情報36を他の計算機2から取得する場合、仮想アドレス分離手段7で計算機識別子によって他の計算機2に対するアクセスが選択されると、外部メモリ情報一時保持手段9が、計算機識別子とメモリアドレスに対応するキャッシュラインをキャッシュ21で検索する(図4のステップ41)。対応するキャッシュライン211乃至21Nがないとき(ステップ42のN)、参照カウンタ32が「0」のキャッシュラインを先頭から探索する(ステップ43)。最初に見出した参照カウンタが「0」のキャッシュライン21Kのラインモードフラグ31Kを「読み込み」に、計算機識別子33Kをアクセス対象の「要求された計算機識別子」に、メモリアドレス34Kをアクセス対象の「要求されたメモリアドレス」に、寿命カウンタ35Kを「0」に、それぞれ設定する(ステップ44)。寿命カウンタ35Kが「0」であるので(ステップ45のY)、外部メモリ情報取得提供手段12を該計算機2にアクセスさせてメモリ情報を取得し、キャッシュライン21Kの外部メモリ情報36Kに該メモリ情報を格納する(ステップ46)。寿命カウンタ35Kに初期値を設定する(ステップ47)。更に参照カウンタ32Kをキャッシュライン数から1を減算した値「N-1」を初期値として設定し、キャッシュライン21Kを除く他のキャッシュラインの参照カウンタの値から1を減算する(ステップ48)。そして、メモリ情報を元の値のまま保持する(ステップ49)。また仮想アドレス分離手段7の計算機識別子とメモリアドレスによってキャッシュ21を検索し、対応するキャッシュライン21Kを見出し(ステップ42のY)、かつその寿命カウンタが「0」でないとき、キャッシュライン21Kのメモリ情報は有効であるので、CPU4は該メモリ情報を取得することができる。そして参照カウンタ32を初期値の値「N-1」に再設定し、他のキャッシュラインの参照カウンタ32を1ずつ減じて(ステップ48)、メモリ情報は更新されずに値を保持する(ステップ49)。

【0020】次に、他の計算機のメモリ情報を更新する動作を説明する。流れ図5を参照すると、CPU4からの仮想アドレスが仮想アドレス分離手段7を通じ、他の計算機2の計算機識別子を指定しているとき、計算機識別子とメモリアドレスによって、キャッシュ21を検索する(図5のステップ51)。キャッシュ21に該計算機識別子とメモリアドレスに対応するキャッシュラインがないとき(ステップ52のN)、キャッシュ21の空きを捜すため、参照カウンタ32が「0」のキャッシュラインを捜す(ステップ53)。最初に見い出した参照カウンタ32が「0」のキャッシュライン21Kを初期化し、ラインモードフラグ31Kを「書き込み」に、計算機識別子33Kをアクセス対象の「要求された計算機識別子」に、メモリアドレス34Kを「要求されたメモリアドレス」に、寿命カウンタ35Kを初期値に、それぞれ設定する(ステップ54)。そして、該計算機識別子33Kとメモリアドレス34Kに対応する他の計算機2のメモリ情報を、外部メモリ情報取得提供手段12に取得させ、キャッシュライン21Kの外部メモリ情報36Kに格納する(ステップ55)。キャッシュライン21Kのラインモードフラグ31Kは「読み込み」であるとき(ステップ56のY)、ラインモードフラグ31Kを「書き込み」に変更し、かつ寿命カウンタ35Kを初期値に設定する(ステップ57)。そして、参照カウンタ32Kを初期値「N-1」に再設定し、他のキャッシュラインの参照カウンタ32の値から全て1を減じる(ステップ58)。CPU4は格納されているキャッシュライン21Kの外部メモリ情報36Kを更新する(ステップ59)。またキャッシュ21に検索対象のキャッシュライン21Kがあり(ステップ52のY)、かつラインモードフラグ31Kが「読み込み」でないとき(ステップ56のN)、対象のメモリ情報36がキャッシュライン21Kの外部メモリ情報36Kにあるので、CPU4はそれを更新する(ステップ59)。またCPU4はアクセス対象のメモリ情報を含むキャッシュラインの寿命カウンタの値が「0」でない間、該メモリ情報をアクセス対象とする。

【0021】次に寿命カウンタ35Kの値が「0」になると、計算機識別子33Kとメモリアドレス34Kが指す格納場所に該メモリ情報を書き戻した後、無効にする動作を説明する。流れ図6を参照すると、システムクロック25の経時信号によって寿命カウンタ制御手段24を起動し、先ず全てのキャッシュライン211乃至21Nの減算が終了しているか否かを判定し、終了していないとき(ステップ61のN)、キャッシュ21のキャッシュライン211乃至21Nを順次に選択し(ステップ62)、その寿命カウンタ35が「0」でないとき(ステップ63のN)、その寿命カウンタ35を1ずつ減算する(ステップ64)。その結果、寿命カウンタ35の値が「0」を示し(ステップ65のY)、かつラ

インモードフラグ31Kが「書き込み」であるとき(ステップ66のY)、キャッシュ21の該キャッシュライン21Kのメモリ情報を、計算機識別子33Kとメモリアドレス34Kが指す計算機2およびメモリ装置8のアドレスに外部メモリ情報取得提供手段12を通じて書き戻し(ステップ67)、ラインモードフラグ31Kを「読み込み」にする(ステップ68)。また、寿命カウンタ35Kを1ずつ減算した結果、値が「0」でないとき(ステップ65のN)、次のキャッシュライン211乃至21Nに対して1ずつ減算を続行する(ステップ61のN)。上述の動作を全てのキャッシュライン211乃至21Nについて、終了するまで実行する(ステップ61のY)。

【0022】以上の説明によれば、この実施例は、各計算機に備えるメモリ共有化装置6を通じて、各メモリ装置8に、仮想アドレスによってその所在場所を意識しないでアクセスすることができ、かつ取得したメモリ情報を外部メモリ一時保持手段9に保持し、寿命カウンタ35が「0」でない間は、CPU4はそのメモリ情報を参照更新することができ、かつメモリ情報が取得後、一定の時間経過すると自動的に無効化する分散処理システム1のメモリ共有化装置6が達成する。

【0023】

【発明の効果】以上説明したように、この発明によれば、各計算機に備えるメモリ共有化装置によって、メモリ装置のアドレス空間を仮想アドレス空間にマッピングするので、各計算機は仮想アドレスによってメモリ装置にアクセスできる。

【0024】更にこの発明によれば、メモリ共有化装置のメモリ情報を一時保有してアクセス対象とし、一定時間経過後自動的に無効化することによって、各メモリ装置に対するアクセス頻度と、高速通信回線に対するトラフィックを軽減する。

【図面の簡単な説明】

【図1】この発明の一実施例の構成を示す図である。

【図2】図1の外部メモリ情報一時保持手段および外部メモリ情報同期制御手段の細部を示す図である。

【図3】図1の外部メモリ情報一時保持手段に格納されるキャッシュラインの項目形式を示す図である。

【図4】この実施例の他の計算機のメモリ情報を取得する動作の流れ図である。

【図5】この実施例の他の計算機のメモリ情報を更新する動作の流れ図である。

【図6】この実施例の外部メモリ情報一時保持手段に保持されるキャッシュラインを自動的に無効化する動作の流れ図である。

【図7】この実施例の各計算機のメモリ装置のアドレス空間と仮想アドレス空間とのマッピングを説明する図である。

【図8】この実施例の計算機とそのメモリ装置とキー

情報との対応を示す図である。

【図 9】この実施例の仮想アドレスによる他の計算機のメモリ装置へのアクセスを説明する図である。

【図 10】分図 (a)、(b)、(c) は、この実施例の外部メモリ情報一時保持手段がキャッシュライン上のメモリ情報の空きの検索と、空きでかつ無効なメモリ情報を削除して新たなメモリ情報の再設定と、該メモリ情報の更新と、をそれぞれ説明する図である。

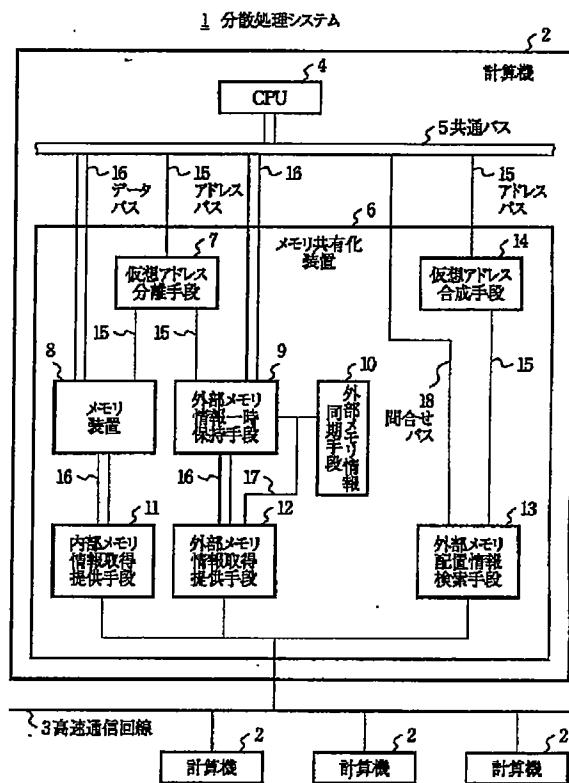
【図 11】従来技術における分散処理システムのメモリ装置にアクセスする方式を示す図である。

【符号の説明】

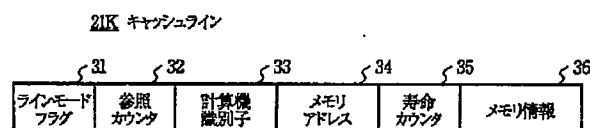
- 1 分散処理システム
- 2 計算機
- 3 高速通信回線

- * 4 CPU
- 5 共通バス
- 6 メモリ共有装置
- 7 仮想アドレス分離手段
- 8 メモリ装置
- 9 外部メモリ情報一時保持手段
- 10 外部メモリ情報同期手段
- 11 内部メモリ情報取得提供手段
- 12 外部メモリ情報取得提供手段
- 13 外部メモリ配置情報検索手段
- 14 仮想アドレス合成手段
- 15 アドレスバス
- 16 データバス
- * 17 制御バス

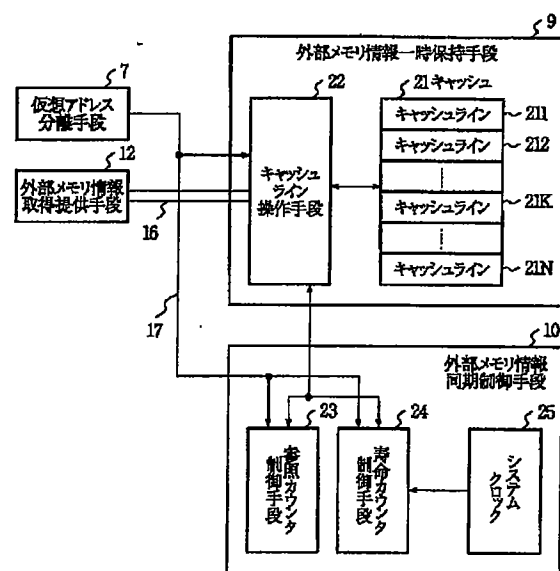
【図 1】



【図 3】



【図 2】

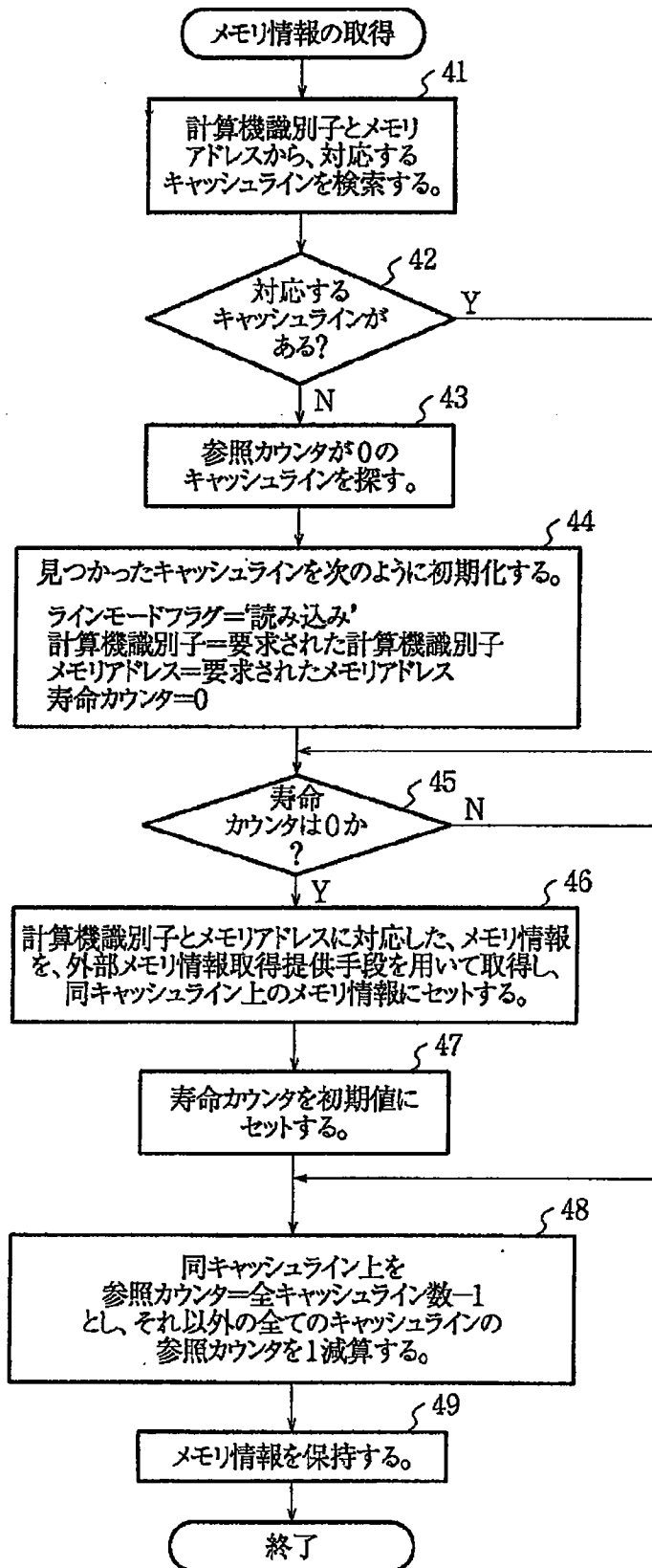


【図 8】

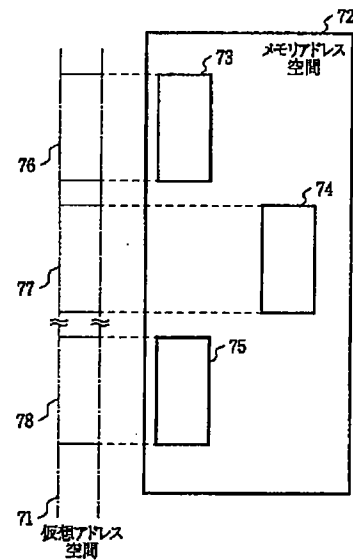
80 キー情報交換テーブル

キー	計算機識別子	メモリアドレス
...
foo	85CB40A0	78000000
...

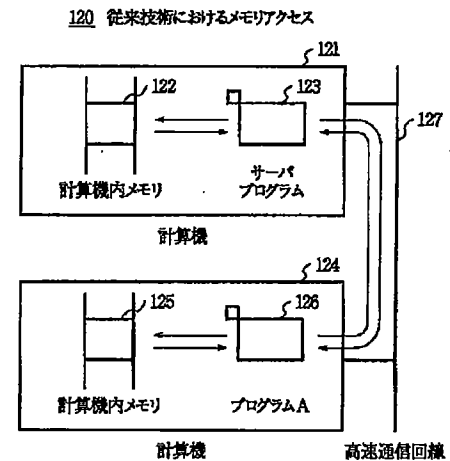
【図4】



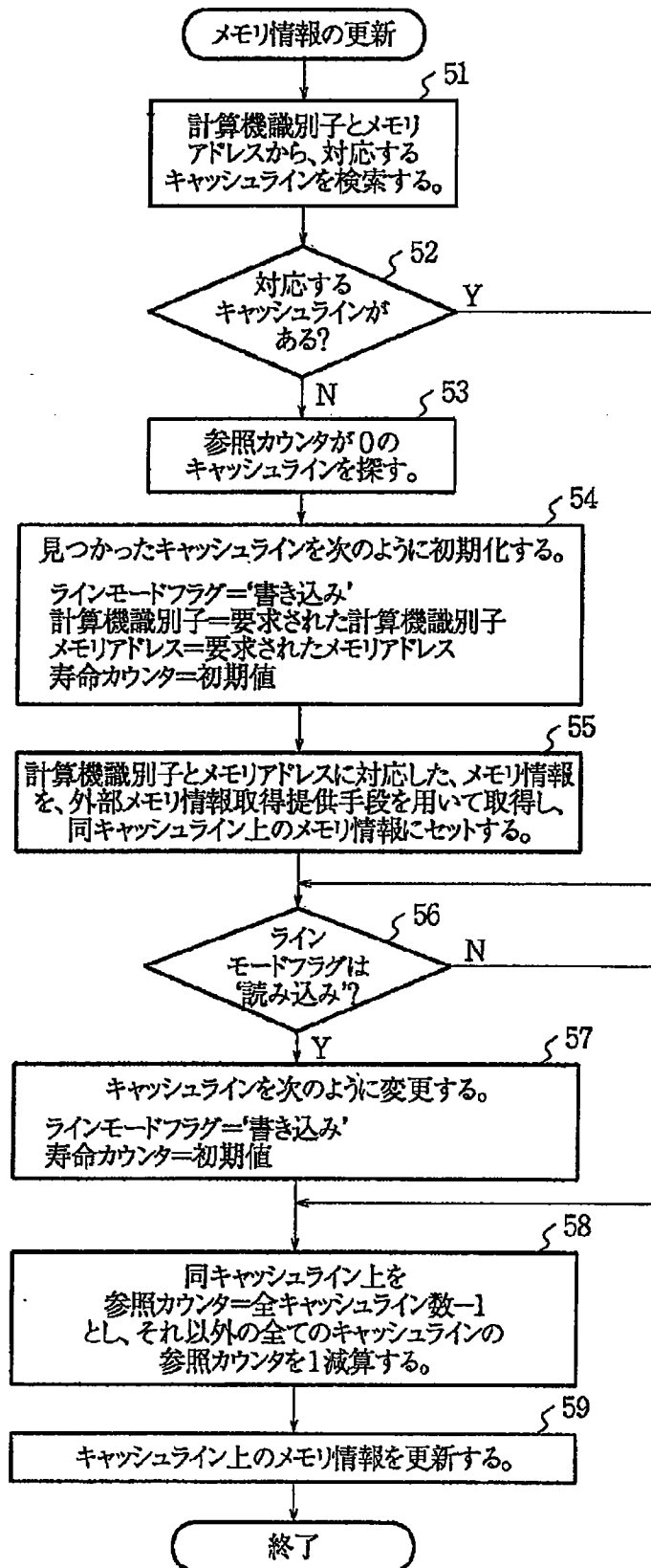
【図7】



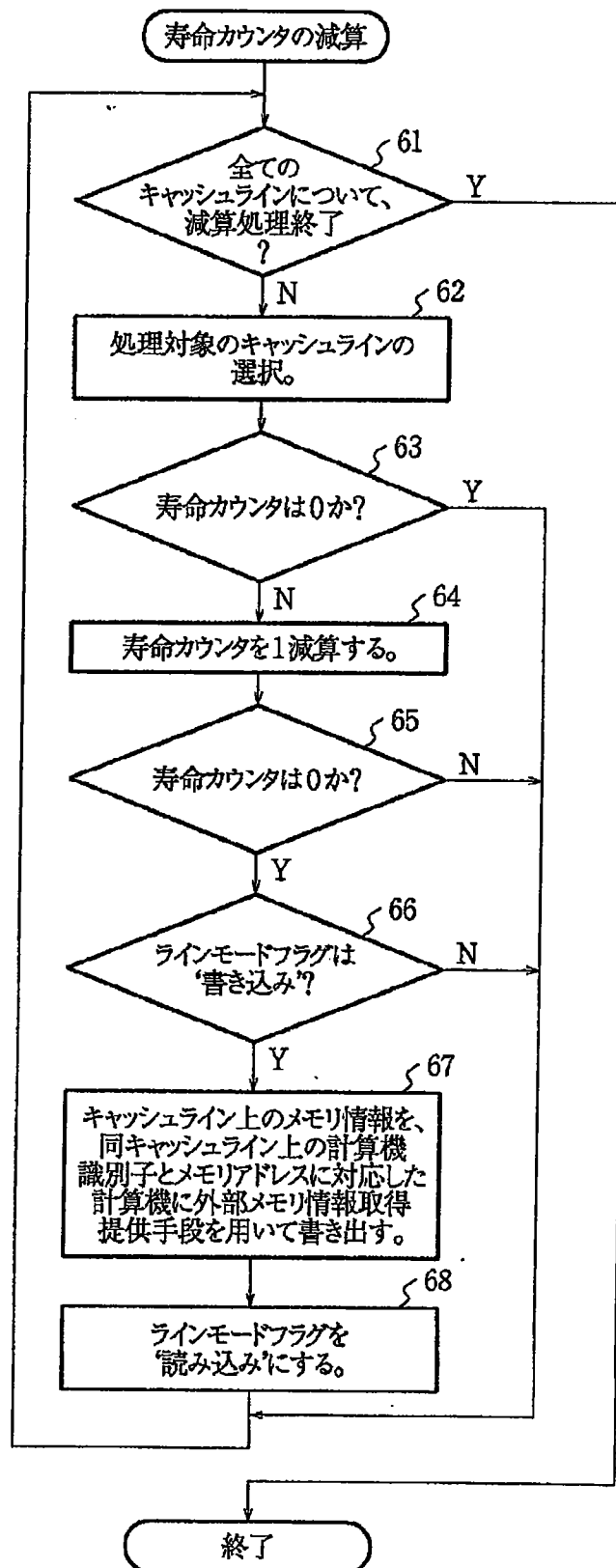
【図11】



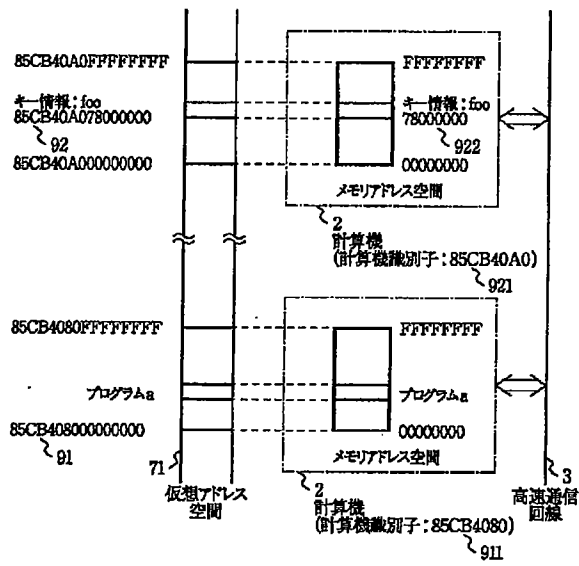
【図 5】



【図6】



【図 9】



【図 10】

(a)

31	32	33	34	35	36
ラインフラグ モード	参照 カウンタ	計算機識別子	メモリアドレス	寿命 カウンタ	外部メモリ情報
...
読み込み	0	85CB40A0	78000000	0	xx ~ xx
...
21K	31K	32K	33K	34K	35K 36K

(b)

31	32	33	34	35	36
ラインフラグ モード	参照 カウンタ	計算機識別子	メモリアドレス	寿命 カウンタ	外部メモリ情報
...
読み込み	N-1	85CB40A0	78000000	10	yy ~ yy
...
21K	31K	32K	33K	34K	35K 36K

(c)

31	32	33	34	35	36
ラインフラグ モード	参照 カウンタ	計算機識別子	メモリアドレス	寿命 カウンタ	外部メモリ情報
...
書き込み	N-1	85CB40A0	78000000	10-L	zz ~ zz
...
21K	31K	32K	33K	34K	35K 36K

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-069405

(43)Date of publication of application : 12.03.1996

(51)Int.Cl.

G06F 12/00

G06F 12/08

G06F 15/16

(21)Application number : 06-204775

(71)Applicant : NEC SOFTWARE LTD

(22)Date of filing : 30.08.1994

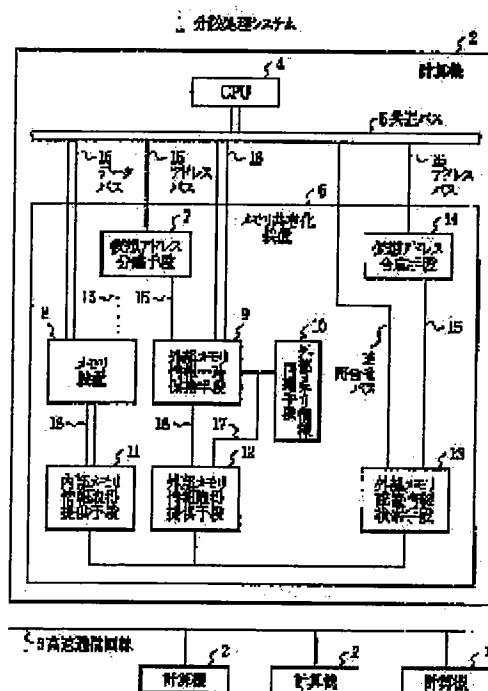
(72)Inventor : ADACHI KIYOHIO

(54) MEMORY SHARING DEVICE FOR DECENTRALIZED PROCESSING SYSTEM

(57)Abstract:

PURPOSE: To provide the memory sharing device for the decentralized processing system which shares the memory device of the decentralized processing system, enables mutual access to the memory device without paying attention to a communication line, and causes neither an increase in access frequency nor an increase in the traffic of a high-speed communication line.

CONSTITUTION: Plural computers 2 are connected to the high-speed communication line 3 and each computer 2 has a CPU 14 as a processor, its common bus 5, and a sharing device 6 which enables the computer 2 to share memory devices of other computers and access them through the high-speed communication line 3. Further, the sharing device 6 includes a virtual address separating means 7 which separates a computer identifier and a memory address from a virtual address, the memory device 8 that the CPU 4 owns, and an external memory information temporary holding means 9 which obtains memory information from the memory devices of other computers 2 and temporarily holds the information.



LEGAL STATUS

[Date of request for examination] 30.08.1994

[Date of sending the examiner's decision of rejection] 08.09.1998

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

0F,00 009403,A [CLAIMS] 1/2 ページ

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It has memory share-ized equipment with which two or more computers of each connected to a high-speed communication line contain a memory apparatus. Said computer is in the distributed processing system which carries out renewal of reference of self or the memory information on said memory apparatus of an alien machine mutually through own memory share-ized equipment. Said memory share-ized equipment When said computer accesses the memory apparatus of self or an alien machine, An external memory arrangement information retrieval means to perform any of whether for the computer identifier searched using key information and a memory address to be asked to whether it holds in person and an alien machine, and to acquire them they are, A virtual-address composition means to compound the virtual address of a computer own [said] based on said computer identifier and memory address which are obtained from said external memory arrangement information retrieval means, When accessing a memory apparatus as said computer is also in the virtual address, The computer identifier which points out a computer, and the memory address which points out the address in a memory apparatus are separated from said virtual address. By said computer identifier A virtual-address separation means to distinguish whether the own memory apparatus is pointed out or the alien machine is pointed out, The cache with which said computer consists of a field which stores a cache line including the control information added to the memory information and it which access the memory apparatus of an alien machine and are acquired, Temporarily [external memory information] which has a cache line actuation means to operate the control information of said cache line A maintenance means, When the computer identifier and memory address which are separated from the virtual address of said computer point out the memory information on an alien machine and said memory information is not stored in the maintenance means temporarily [said / external memory information], Acquire the memory information which said computer identifier and memory address point out from the memory apparatus of an alien machine, and it stores in a maintenance means temporarily [said / external memory information]. Or when returned to the memory apparatus of the alien machine as which the memory information stored in the maintenance means temporarily [said / external memory information] is specified by the control information of that, When an external memory information acquisition offer means to read said memory information from a maintenance means temporarily [said / external memory information], and to send to the memory apparatus of said alien machine, and the memory apparatus of a computer own [said] have access from an alien machine, When it provides for said alien machine of access-to memory information which computer identifier [which is specified by said access] and memory address point out origin or there is write return of memory information from said alien machine, An internal-memory information acquisition offer means to acquire said memory information to an own memory apparatus, Memory share-ized equipment of the distributed processing system characterized by having an external memory information synchronous means for the index which shows the invalid and deletion **** of said memory information, and said memory information to write to the memory information and control information which are included on said cache line, and to update return directions.

[Claim 2] The memory information which accessed said cache line at the memory apparatus of

an alien machine, and was acquired, And whether said memory information is returned The elapsed time after the computer identifier, the memory address, and said memory information on the reference counter which shows the degree to the shown line mode flag and said memory information itself which is not referred to or updated, and the computer by which said memory information was stored are stored Memory share-sized equipment of the distributed processing system according to claim 1 characterized by including the control information which consists of a shown life counter.

[Claim 3] As opposed to the cache line where said external memory information synchronous maintenance means is referred to or updated through said virtual-address separation means from said computer By making into initial value the numeric value which subtracted 1 from the number of fields of said cache line, set up at reference or every updating at a reference counter, and the reference counter of all other cache lines other than said cache line referred to or updated is received. When the value of that is subtracted every [1] and the value of said reference counter is set to "0", The reference counter control means whose deletion of the memory information on said cache line is enabled, and when memory information is stored in a cache line, When initial value is set as the life counter of that, said initial value is subtracted every [1] for every fixed time amount with a system clock and the value of a life counter is set to "0", Memory share-sized equipment of the distributed processing system according to claim 1 characterized by having the life counter control means which makes an invalid memory information on said cache line.

[Translation done.]

JP,00 003405,A [DETAILED DESCRIPTION] 1/6 ページ

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the memory share-ized equipment which enables mutual access at the memory information on each memory apparatus, and mitigates the renewal frequency of reference to memory information without being conscious of especially a high-speed communication line about share-izing of the memory apparatus which two or more computers of each connected to the high-speed communication line have.

[0002]

[Description of the Prior Art] Conventionally, the data exchange between calculating machines of the DPS is performed through a communication line. Therefore, the access approach differs from the access approach for the memory apparatus which the computer itself has, and the access approach for calculator memory equipments other than self then. If the conventional technique illustrated to drawing 11 explains, the server program 123 which operates by the calculating machine 121 will receive the access request from a calculating machine 124, and will carry out renewal of reference of the memory information on the count inside-of-a-plane memory 122. When the program 126 which operates by the computer 124 carries out the access request of the memory 122 of a computer 121, an access request is sent through the high-speed communication line 127 to the server program 123, and an access request is directly sent to the memory 125 of the self-computer 124. That is, a program 126 needs to be conscious of the whereabouts of the memory for access, and mediation of a communication line.

[0003] Furthermore, when JP,4-246745,A is quoted, the common memory space which maps the proper memory and the system shared memory of each processor in a multiprocessor system is made to form as a continuous address space as a conventional technique. Although the access request of each processor is made to the virtual space of each processor, an access request can be sent without being conscious of a phase hand's whereabouts, since the virtual address is changed into the address of common memory space. Moreover, a phase hand reconverts the address of common memory space to an own address space, and is indicating the method which accesses proper memory or a shared memory.

[0004] In the above conventional technique, the method accessed without being conscious of the method which accesses the memory apparatus or shared memory equipment which each computer has being conscious of the whereabouts location of that, or the whereabouts of that is offered. However, the ***** partner point must be accessed in both cases at reference or every updating. Therefore, it is not avoided that the traffic of the access frequency or the high-speed communication line to a memory apparatus increases.

[0005]

[Problem(s) to be Solved by the Invention] Real time nature accesses network files, such as inquiry system which is not strict, or a report, a distribution system of news, and there is a system by which a user does renewal of reference of the file data in a distributed processing system. In the distributed processing system centering on these network files, renewal each time of reference of a network file, a user does not need to access a network file and does not need to receive the newest file data. The object of renewal of reference can take after acquiring the

file data which the user itself acquired between fixed time amount, and after the fixed passage of time can take the use gestalt which returns file data or re-acquires file data again as an invalid. By equipping each computer with the memory share equipment which suits such a use gestalt, increase of the traffic of the access frequency or the high-speed communication line to a memory apparatus is mitigable.

[0006]

[Means for Solving the Problem] The purpose of this invention accesses mutually at a memory apparatus without share-izing each calculator memory equipment of a distributed processing system and being conscious of a communication line, and it offers the memory share-sized equipment of the distributed processing system which does not increase the traffic to the access frequency and the high-speed communication line to a memory apparatus further.

[0007] For this reason, it has memory share-sized equipment with which two or more computers of each connected to the high-speed communication line of this invention contain a memory apparatus. Said computer is in the distributed processing system which carries out renewal of reference of self or the memory information on said memory apparatus of an alien machine mutually through own memory share-sized equipment. Said memory share-sized equipment When said computer accesses the memory apparatus of self or an alien machine, An external memory arrangement information retrieval means to perform any of whether for the computer identifier searched using key information and a memory address to be asked to whether it holds in person and an alien machine, and to acquire them they are, A virtual-address composition means to compound the virtual address of a computer own [said] based on said computer identifier and memory address which are obtained from said external memory arrangement information retrieval means, When accessing a memory apparatus as said computer is also in the virtual address, The computer identifier which points out a computer, and the memory address which points out the address in a memory apparatus are separated from said virtual address. By said computer identifier A virtual-address separation means to distinguish whether the own memory apparatus is pointed out or the alien machine is pointed out, The cache with which said computer consists of a field which stores a cache line including the memory information which accesses the memory apparatus of an alien machine and is acquired, and the control information added to it, Temporarily [external memory information] which has a cache line actuation means to operate the control information of said cache line And a maintenance means, When the computer identifier and memory address which are separated from the virtual address of said computer point out the memory information on an alien machine and said memory information is not stored in the maintenance means temporarily [said / external memory information], Acquire the memory information which said computer identifier and memory address point out from the memory apparatus of an alien machine, and it stores in a maintenance means temporarily [said / external memory information]. Or when returned to the memory apparatus of the alien machine as which the memory information stored in the maintenance means temporarily [said / external memory information] is specified by the control information of that, When an external memory information acquisition offer means to read said memory information from a maintenance means temporarily [said / external memory information], and to send to the memory apparatus of said alien machine, and the memory apparatus of a computer own [said] have access from an alien machine, When it provides for said alien machine of access-to memory information which computer identifier [which is specified by said access] and memory address point out origin or there is write return of memory information from said alien machine, An internal-memory information acquisition offer means to acquire said memory information to an own memory apparatus, It has an external memory information synchronous means for the index which shows the invalid and deletion **** of said memory information, and said memory information to write to the memory information and control information which are included on said cache line, and to update return directions.

[0008]

[Example] Next, this invention is explained with reference to a drawing.

[0009] if drawing 1 which shows the configuration of one example of this invention is referred to -- a distributed processing system 1 -- two or more computers 2 -- the high-speed

communication line 3 -- connecting -- each computer 2 -- it has CPU4 which is each processor, the common bus 5 of that, and memory share-sized equipment 6 with which a computer 2 share-sizes the memory apparatus 8 which it has, respectively.

[0010] Moreover, a virtual-address separation means 7 for memory share-sized equipment 6 to receive the virtual address from CPU4 through a common bus 5, and to separate a computer identifier and a memory address from the virtual address, Temporarily [external memory information] acquires memory information from the memory apparatus 8 of computer 2 self, and the memory apparatus 8 of an alien machine 2, and are held temporarily The maintenance means 9, An external memory information synchronous means 10 to control-izing of the memory information held temporarily which can be deleted, nullification, and write return, An internal-memory information acquisition offer means 11 to offer or acquire the memory information on a memory apparatus 8 to access from an alien machine 2, and when the virtual address points out the memory information on the memory apparatus 8 of an alien machine 2, When acquiring memory information from an alien machine 2 or returning the memory information on the maintenance means 10 temporarily [external memory information], An external memory information acquisition offer means 12 to send this memory information, and an external memory arrangement information retrieval means 13 to ask an alien machine 2 a computer identifier and a memory address using key information, or to hold in person, A virtual-address composition means 14 to compound the virtual address based on the computer identifier and memory address which are shown using key information, and each above-mentioned means are connected, and the address bus 15 which sends and receives data and a control signal, and a data bus 16 and a control bus 17 are included.

[0011] Furthermore, a cache line actuation means 22 to take charge of data transfer with the cache 21 and the cache 21 and the external memory synchronousr-control means 10 of storing the cache line 211 which comes to add control information to the memory information acquired from the alien machine 2 thru/or 21 Ns, the virtual-address separation means 7, and the external memory information acquisition offer means 12 is included in the maintenance means 9 temporarily [external memory information].

[0012] Furthermore, it has the reference counter control means 23 which subtracts the reference counter which shows future progress from from for the external memory information synchronousr-control means 9 when renewal of reference of the memory information set as cache line 21K is carried out at the last, a life counter means 24 to subtract the life counter 35 which shows the elapsed time of a from when memory information is set up, and the system clock 25 which generates a signal with the passage of time.

[0013] When drawing 3 which shows the cache line 211 thru/or the 21-N item layout stored in the cache 21 of the maintenance means 9 temporarily [external memory information] is referred to, next, to cache line 21K When returning memory information and not returning the flag of "writing", The line mode flag 31 which sets up the flag of "read-out", respectively, when memory information is set up first, or when renewal of reference is received from CPU4, The reference counter 32 reduced every [1] whenever it sets up the initial value which subtracted 1 from the number of storing fields of a cache line and there is access to other cache lines, When memory information is acquired with the computer identifier 33 and memory address 34 which show the location where memory information was stored, Regular initial value is set up and the life counter 35 from which initial value is subtracted by the signal of a system clock 25 with the passage of time according to elapsed time, and the computer identifier 33 and the memory information 36 which a memory address 34 points out are included.

[0014] If drawing 7 explaining correspondence with the address space in a computer which each memory apparatus 8 in this example forms, and the virtual address space where each computer 2 accesses a memory apparatus 8 is referred to, each memory apparatus 8 of two or more computers 2 will form the memory address space 72 in a computer. Each computer 2 corresponds to the subspaces 73, 74, and 75 of the memory address space 72 in a computer which each memory apparatus 8 forms, and has the subspaces 76, 77, and 78 of virtual address space 71 as own virtual address space. And the whole space put in order so that virtual address space 76, 77, and 78 might not overlap is equivalent to the virtual address space 71 shared

between two or more whole computers.

[0015] A computer 2 acquires the computer identifier and memory address for access using key information, when accessing the address spaces 73, 74, and 75 in a computer. If drawing 8 and drawing 9 explaining the retrieval conversion of a computer identifier and a memory address corresponding to key information are referred to, a computer 2 will ask the computer identifier and memory address for access first to the external memory arrangement information retrieval means 13 using key information "foo." Computer identifier "85CB40A0"811 corresponding to the key information "foo" 81 illustrated to drawing 8 and memory address "78 million" 812 are acquired from the external memory arrangement information retrieval means 13. The obtained computer identifier 811 and a memory address 812 are changed into the virtual address which points out the subspaces 76, 77, and 78 where virtual address space does not overlap by the virtual-address composition means 14, and are notified to CPU4. A computer identifier is connected with the high order of the virtual address, it connects a memory address with the low order of the virtual address, and the approach of the conversion in this example compounds the virtual address.

[0016] With the external memory arrangement information retrieval means 13, the virtual-address composition means 14 acquires computer identifier "85CB40A0"811 corresponding to the key information "foo" 81, and memory address "78 million" 812 from the key signal transduction table 80, compounds the virtual address "85CB 40A078000000", and sends it to CPU4. Furthermore, if drawing 9 which explains access to a memory apparatus 8 with the virtual address by which the program a of CPU4 was notified from the virtual-address composition means 14 is referred to, when CPU4 of a computer 2 will access the virtual address "85CB 40A078000000", this address separates into the address of a computer identifier and a memory apparatus with the virtual-address separation means 7 first. The method of this separation performs the reverse of the method of above-mentioned composition. Memory address "78 million" 922 are obtained from computer identifier "85CB40A0"921 and low order from the high order of the virtual address. The obtained computer identifier is "85CB40A0"921, since it differs from computer identifier "85CB4080"911 of CPU4 self, it does not access the own memory apparatus 8, but accesses the maintenance means 9 temporarily [external memory information], and retrieves the memory information corresponding to computer identifier "85CB40A0"921 and memory address "78 million" 922. If drawing 10 (a) explaining access to the maintenance means 9 and retrieval is referred to, the maintenance means 9 will search a cache 21 and will find out cache line 21K corresponding to computer identifier "85CB40A0"921 and memory address "78 million" 922 temporarily [external memory information] temporarily [of CPU4 / external memory information]. Since life counter 35K of cache line 21K are "0", it is shown that memory information "XX-XX" 36K are invalid. The cache line actuation means 22 of the maintenance means 9 makes this memory information re-acquire to the external memory information acquisition offer means 12 temporarily [external memory information]. The external memory information acquisition offer means 12 accesses the computer 2 of a computer identifier "85CB 40A0", and acquires the memory information "YY-YY" on the memory address "78 million" of the memory apparatus 8 of that. If drawing 10 (b) is referred to, the life counter 35 is set as memory information 36K whose memory information "YY-YY" is cache line 21K by initial value "10" 35K, computer identifier 33K and memory address 34K will not be changed, but line mode flag 31K will be set as "reading" 31K as which reference counter 32K specify reference at initial value "N-1" by the cache actuation means 22, respectively. Furthermore, in order that CPU4 may return memory information 36K updated to the original storing location if it updates memory information "YY--YY" 36K of drawing 10 (b) to memory information "ZZ--ZZ" 36K if drawing 10 (c) is referred to, line mode flag 31K are changed into "write-in" 31K of drawing 10 (c) from "reading" 31K of drawing 10 (b). Moreover, the value "10" of life counter 35K of drawing 10 (b) is subtracted with the value "L" of elapsed time by the value "10-L" of life counter 35K of drawing 10 (c). Furthermore, since memory information "XX-XX" 36K are not invalid again when CPU4 accesses the maintenance means 9 temporarily [external memory], and life counter 35K are not "0", CPU4 can acquire memory information "XX-XX" 36K. And the external memory information synchronoustr-control means 10 resets reference counter 32K to initial

value "N-1", and subtracts the value of other reference counters every [1]. Moreover, when CPU4 accesses the maintenance means 9 temporarily [external memory] and reference counter 32K are "0", memory information 36K become the object which can be deleted as oldest memory information, after renewal of reference is carried out.

[0017] Next, whenever actuation of the reference counter control means 23 of the external memory information synchronous means 10 has reference or updating in the memory information 36, it is set as a reference counter 32 by making into initial value N-1 which reduced the fieldsN [several]-1 of a cache 21. Moreover, when the value of a reference counter 32 is subtracted whenever the memory information on other cache lines was referred to, and renewal of reference of the memory information is carried out by the value of a reference counter 32, the progress from from is shown, and it is shown that renewal of reference of the value "0" of a reference counter 32 was most carried out among cache line N individuals before. Moreover, it is shown that actuation of the life counter control means 24 subtracts the value of the life counter 35 for every fixed time amount of a system clock, and it is within the shelf-life after acquisition of the memory information 36, and the value "0" of the life counter 35 shows that the memory information 36 passes over a shelf-life, and has become an invalid.

[0018] Next, with reference to flow drawing 4 of the actuation which acquires external memory information for actuation of this example, flow drawing 5 of the actuation which updates external memory information, and flow drawing 6 of the actuation which subtracts a life counter, drawing 10 (a), drawing 10 (b), and drawing 10 (c) are used and explained.

[0019] First, if access to an alien machine 2 is chosen by the computer identifier with the virtual-address separation means 7 when acquiring the memory information 36 from an alien machine 2, the maintenance means 9 will search the cache line corresponding to a computer identifier and a memory address with a cache 21 temporarily [external memory information] (step 41 of drawing 4). When the corresponding cache line 211 thru/or 21 Ns are not (N of step 42), a reference counter 32 searches the cache line of "0" from a head (step 43). line mode flag 31K whose reference counter found out first is cache line 21K of "0" -- "reading" -- memory address 34K are set as "the demanded memory address" for access, and life counter 35K are set as "the demanded computer identifier" for access for computer identifier 33K "0", respectively (step 44). Since life counter 35K are "0" (Y of step 45), the external memory information acquisition offer means 12 is made to access this computer 2, memory information is acquired, and this memory information is stored in external memory information 36K of cache line 21K (step 46). Initial value is set as life counter 35K (step 47). Furthermore, the value "N-1" which subtracted 1 for reference counter 32K from the number of cache lines is set up as initial value, and 1 is subtracted from the value of the reference counter of other cache lines except cache line 21K (step 48). And memory information is held with the original value (step 49). Moreover, a cache 21 is searched by the computer identifier and memory address of the virtual-address separation means 7, cache line 21K corresponding are found out (Y of step 42), and since the memory information on cache line 21K is effective when the life counter of that is not "0", CPU4 can acquire this memory information. And a reference counter 32 is reset to the value "N-1" of initial value, the reference counter 32 of other cache lines is reduced every [1] (step 48), and memory information holds a value, without being updated (step 49).

[0020] Next, the actuation which updates the memory information on an alien machine is explained. If flow drawing 5 is referred to, when the virtual address from CPU4 will specify the computer identifier of an alien machine 2 through the virtual-address separation means 7, a cache 21 is searched by the computer identifier and the memory address (step 51 of drawing 5). When there is no cache line corresponding to this computer identifier and a memory address in a cache 21 (N of step 52), in order to look for the opening of a cache 21, a reference counter 32 looks for the cache line of "0" (step 53). the reference counter 32 found out first -- cache line 21K of "0" -- initializing -- line mode flag 31K -- "writing" -- memory address 34K are set as "the demanded memory address", and life counter 35K are set as initial value for computer identifier 33K at "the demanded computer identifier" for access, respectively (step 54). and -- this -- the external memory information acquisition offer means 12 is made to acquire the memory information on the alien machine 2 corresponding to computer identifier 33K and

memory address 34K, and it is stored in external memory information 36K of cache line 21K (step 55). When it is "reading" (Y of step 56), line mode flag 31K of cache line 21K change line mode flag 31K into "writing", and set life counter 35K as initial value (step 57). And reference counter 32K are reset to initial value "N-1", and 1 is altogether subtracted from the value of the reference counter 32 of other cache lines (step 58). CPU4 updates external memory information 36K of cache line 21K stored (step 59). Moreover, since cache line 21K for retrieval are in a cache 21 (Y of step 52), and the memory information 36 on target is in external memory information 36K which are cache line 21K when line mode flag 31K are not "reading" (N of SUTEFFU 56), CPU4 updates it (step 59). Moreover, CPU4 makes this memory information applicable to access, while the value of the life counter of a cache line including the memory information for access is not "0."

[0021] Next, if the value of life counter 35K is set to "0", after returning this memory information to the storing location which computer identifier 33K and memory address 34K point out, the actuation made into an invalid is explained. If flow drawing 6 is referred to, the life counter control means 24 will be started with the signal of a system clock 25 with the passage of time. It judges whether all the cache lines 211 thru/or 21-N subtraction are completed first. When having not ended (N of step 61), the cache line 211 of a cache 21 thru/or 21 Ns are chosen one by one (step 62), and when the life counter 35 of that is not "0" (N of step 63), the life counter 35 of that is subtracted every [1] (step 64). Consequently, the value of the life counter 35 shows "0" (Y of step 65). And when line mode flag 31K are "writing" (Y of step 66), It returns to the address of the computer 2 by which computer identifier 33K and memory address 34K point out the memory information on cache line 21K, and a memory apparatus 8 through the external memory information acquisition offer means 12 (step 67). a cache 21 — this — Line mode flag 31K are made "reading" (step 68). Moreover, as a result of subtracting life counter 35K every [1], when a value is not "0" (N of step 65), subtraction is continued every [1] to the next cache line 211 thru/or 21 Ns (N of step 61). About the cache line 211 thru/or all 21Ns, above-mentioned actuation is performed until it ends (Y of step 61).

[0022] According to the above explanation, this example leads the memory share-ized equipment 6 with which each computer is equipped. Each memory apparatus 8 can be accessed without being conscious of the whereabouts location of that with the virtual address. And hold the acquired memory information for the maintenance means 9 temporarily [external memory], and while the life counter 35 is not "0" CPU4 can carry out renewal of reference of the memory information on that, and the fixed memory share-ized equipment 6 of the distributed processing system 1 which will be automatically cancelled if time amount progress is carried out attains it after memory information's acquiring.

[0023]

[Effect of the Invention] Since the address space of a memory apparatus is mapped in virtual address space with the memory share-ized equipment with which each computer is equipped according to this invention as explained above, each computer can access a memory apparatus with the virtual address.

[0024] Furthermore, according to this invention, the access frequency to each memory apparatus and TORAHHIKKU to a high-speed communication line are mitigated by holding the memory information on memory share-ized equipment temporarily, considering as an AKUSUSESU object, and cancelling automatically after fixed time amount progress.

[Translation done.]

JP,06-069403,A [DESCRIPTION OF DRAWINGS] 1/2 ページ

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing the configuration of one example of this invention.

[Drawing 2] It is drawing showing the details of a maintenance means and an external memory information synchronously-control means temporarily [of drawing 1 / external memory information].

[Drawing 3] It is drawing showing the item format of the cache line stored in a maintenance means temporarily [of drawing 1 / external memory information].

[Drawing 4] It is the flow chart of the actuation which acquires the memory information on the alien machine of this example.

[Drawing 5] It is the flow chart of the actuation which updates the memory information on the alien machine of this example.

[Drawing 6] It is the flow chart of the actuation which cancels automatically the cache line held temporarily [of this example / external memory information] at a maintenance means.

[Drawing 7] It is drawing explaining mapping with the address space of each calculator memory equipment of this example, and virtual address space.

[Drawing 8] It is drawing showing correspondence with the computer of this example, the memory apparatus of that, and key information.

[Drawing 9] It is drawing explaining access to the memory apparatus of the alien machine by the virtual address of this example.

[Drawing 10] A part Fig. (a), (b), and (c) are drawings where a maintenance means is vacant, and comes out with the search of the opening of the memory information on a cache line, and deletes invalid memory information, and explains resetting of new memory information, and renewal of this memory information temporarily [of this example / external memory information], respectively.

[Drawing 11] It is drawing showing the method which accesses the memory apparatus of the distributed processing system in the conventional technique.

[Description of Notations]

1 Distributed Processing System

2 Computer

3 High-speed Communication Line

4 CPU

5 Common Bus

6 Memory Share Equipment

7 Virtual-Address Separation Means

8 Memory Apparatus

9 External Memory Information One Time Maintenance Means

10 External Memory Information Synchronous Means

11 Internal-Memory Information Acquisition Offer Means

12 External Memory Information Acquisition Offer Means

13 External Memory Arrangement Information Retrieval Means

14 Virtual-Address Composition Means

15 Address Bus
16 Data Bus
17 Control Bus

[Translation done.]